

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-172191

(43) 公開日 平成8年(1996)7月2日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 S

3 0 1 G

審査請求 未請求 請求項の数16 O L (全 8 頁)

(21) 出願番号 特願平7-221556

(22) 出願日 平成7年(1995)8月30日

(31) 優先権主張番号 94P21904

(32) 優先日 1994年8月31日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 泰福

大韓民国ソウル特別市瑞草區瑞草1洞1648

-2番地ロイヤルタウン7棟103號

(74) 代理人 弁理士 八田 幹雄

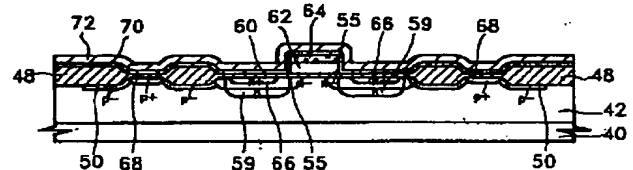
(54) 【発明の名称】 高耐圧モストランジスタ及びその製造方法

(57) 【要約】

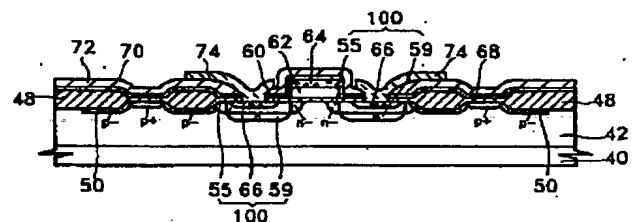
【課題】 低濃度、中濃度及び高濃度不純物層が相互重畳されるように形成された構造のドレインを有する高内圧用モストランジスタを提供する。

【解決手段】 半導体基板、半導体基板上に形成されたゲート絶縁膜、ゲート絶縁膜上に形成されたゲート電極、ゲート電極の少なくともいずれか一侧に半導体基板に低濃度、中濃度及び高濃度不純物層が相互重畳されるように形成された不純物拡散層とを含め、高動作電圧を有するトランジスタを得ることができる。

F



G



1

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記ゲート電極の少なくともいずれか側の半導体基板に低濃度、中濃度及び高濃度不純物層とが相互重畳されるように形成された不純物拡散層とを含むことを特徴とする高耐圧用モストランジスタ。

【請求項 2】 前記側はドレイン側であることを特徴とする請求項 1 記載の高耐圧用モストランジスタ。

【請求項 3】 前記低濃度、中濃度及び高濃度不純物層の側面の接合面は、チャンネル領域から低濃度、中濃度及び高濃度不純物層順に配列されることを特徴とする請求項 2 記載の高耐圧用モストランジスタ。

【請求項 4】 前記中濃度不純物層の側面の接合面は前記低濃度不純物層の接合面と一致したり、低濃度不純物層の内部に位置することを特徴とする請求項 3 記載の高耐圧用モストランジスタ。

【請求項 5】 前記中濃度不純物層の側面の接合面と前記低濃度不純物層の側面の接合面間の間隔は $1.0\mu\text{m}$ 以上であることを特徴とする請求項 4 記載の高耐圧用モストランジスタ。

【請求項 6】 前記高濃度不純物層の側面の接合面は前記中濃度不純物層の接合面と一致したり、中濃度不純物層の内部に位置することを特徴とする請求項 4 記載の高耐圧用モストランジスタ。

【請求項 7】 前記高濃度不純物層の側面の接合面と前記中濃度不純物層の側面の接合面間の間隔は $1.0\mu\text{m}$ 以上であることを特徴とする請求項 6 記載の高耐圧用モストランジスタ。

【請求項 8】 前記高濃度不純物層の下部側の接合面は中濃度と低濃度不純物層の内部に位置することを特徴とする請求項 3 記載の高耐圧用モストランジスタ。

【請求項 9】 前記低濃度、中濃度及び高濃度不純物層の下部側の接合面は、半導体基板の表面から高濃度、低濃度及び中濃度不純物層順に配列されることを特徴とする請求項 3 記載の高耐圧用モストランジスタ。

【請求項 10】 前記高濃度不純物層の下部側の接合面は、前記中濃度不純物層に含まれることを特徴とする請求項 3 記載の高耐圧用モストランジスタ。

【請求項 11】 前記低濃度不純物層の下部側の接合面は、前記高濃度不純物層の接合面より浅く形成されることを特徴とする請求項 10 記載の高耐圧用モストランジスタ。

【請求項 12】 前記低濃度不純物層は、半導体基板上に形成されるコンタクトホール形成領域の周囲に形成されることを特徴とする請求項 11 記載の高耐圧用モストランジスタ。

【請求項 13】 フィールド酸化膜が形成されている半導体基板上にソース又はドレインとなる領域を露出させ

2

る第 1 感光膜パターンを形成する第 1 工程と、
第 1 不純物イオンを低濃度に注入して低濃度不純物層を形成する第 2 工程と、

前記第 1 感光膜パターンを取り除く第 3 工程と、
ソース又はドレインとなる前記領域を部分的に露出させる第 2 感光膜パターンを形成する第 4 工程と、
第 2 不純物イオンを中濃度に注入して中濃度不純物層を形成する第 5 工程と、

前記第 2 感光膜パターンを取り除く第 6 工程と、
10 結果物の基板上にゲート絶縁膜及びゲート電極を形成する第 7 工程と、

ソース又はドレインとなる領域の半導体基板を部分的に露出させる第 3 感光膜パターンを半導体基板上に形成する第 8 工程と、

第 3 不純物イオンを高濃度に注入して高濃度不純物層を形成する第 9 工程とを含むことを特徴とする高耐圧用モストランジスタの製造方法。

【請求項 14】 前記第 2 感光膜パターンにおいて、ソース又はドレインを露出させる部位の大きさは前記第 1 感光膜パターンのその部位と等しかったり小さく、前記第 3 感光膜パターンにおいてソース又はドレインを露出させる部位の大きさは前記第 2 感光膜パターンのその部位と等しかったり小さいことを特徴とする請求項 13 記載の高耐圧用モストランジスタの製造方法。

【請求項 15】 前記第 2 工程はリンイオンを $130\sim 200\text{KeV}$ のエネルギー、 $2.0\text{E}12\sim 7.0\text{E}12$ 原子/ cm^2 濃度に注入して行われ、前記第 5 工程はリンイオンを $160\sim 200\text{KeV}$ のエネルギー、 $3\text{E}12\sim 3\text{E}13$ 原子/ cm^2 の濃度に注入して行われ、前記第 9 工程は砒素イオンを 80KeV のエネルギー、 $6\text{E}15$ 原子/ cm^2 の濃度に注入して行われることを特徴とする請求項 14 記載の高耐圧用モストランジスタの製造方法。

【請求項 16】 前記第 6 工程の以後に、 1100°C で 30 分間ドライブイン工程を追加することを特徴とする請求項 13 記載の高耐圧用モストランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法に係り、特にドレインが 3 重の不純物層で形成された高耐圧用モストランジスタ及びその製造方法に関する。

【0002】

【従来の技術】 高耐圧及び低抵抗を必要とする半導体装置の一例としては、液晶表示素子に使用されるドライバ集積回路（以下、駆動 IC とする）が挙げられる。一般に、駆動 IC は周辺機器と接続して動作すべきなので、高耐圧、高動作電圧、高駆動電流及び低動作抵抗などを必要とする。

50 【0003】 このような要件を満たすために、駆動 IC

は低濃度にドーピングされた高抵抗の拡散層を有するように設計することが一般的である。しかしながら、拡散層の濃度を下げるほど耐圧は大きくなるが、駆動電流能力及び動作電圧は低くなる。また、低濃度の拡散層は動作抵抗 (R_{ON}) の増加を招き、これによりチップの大きさを増加すべき問題を起す。

【0004】高耐圧用モス (MOS) トランジスタとして、一般的にDMOS (Double Diffused MOS) を使用したり、LDD (Lightly Doped Drain) 又はDDD (Double Diffused Drain) 構造のMOSFETを使用する。DMOSの場合は、動作電圧を高めるに相当に有利な構造であるが、チップ一つの占める面積が相対的に大きいという短所がある。DDD又はLDD構造のトランジスタの場合は、十分に高い最高動作電圧 ($(V_{OP})_{max}$) を得ることは困難である。

【0005】このような問題を克服するために、同一なチップ面積を使用してさらに高い最高動作電圧とさらに大きい I_{ds} 電流 (ドレイン電流) を得、さらに低い駆動抵抗 (R_{ON}) を得るために、通常のDDD (又はMIDD; Mask Islanded DDD) 構造を構成する N^- ソース/ドレインと N^+ ソース/ドレインに N ソース/ドレイン (N^+ より是不純物濃度は低い、 N^- より是不純物濃度が高い) を追加したCDD (Complex Diffused Drain) 構造を使用した。

【0006】図1は従来により製造された高耐圧用モストランジスタを示した断面図である。これは、アメリカ特許出願第 4,990,982号 (発明の名称: SEMICONDUCTOR DEVICE OF HIGH BREAKDOWN VOLTAGE, 発明者: Kayoko Omotoなど、特許日: 1991年2月5日) を参照したもので、CCD構造を示す。

【0007】前記図1において、図面符号10は半導体基板を、12は N ソースを、14は N^+ ドレインを、16はゲート酸化膜を、18及び28は酸化膜を、20はゲート電極を、22は N^- ドレインを、24は N ドレインを、26は N^- 領域を、30は層間絶縁膜を、32a及び32bはコンタクトホールを、34a及び34bはそれぞれソース及びドレイン電極を示す。

【0008】前記図1に示されたCDD構造の最大動作電圧を高めるためには N^- 領域のイオン注入量を増やして I_{sub} 電流の二番目のハンプ (hump) 値を下げるべきだが、その限界は BV_{dss} (ドレイン降伏電圧) となる。

【0009】したがって、 BV_{dss} 値の限界は適正水準を有しながら、 I_{sub} 電流の二番目のハンプ値を下げるにより最大動作電圧を向上させるために追加的なイオン注入により N ソース/ドレインを形成したCDD構造のモストランジスタが開発された。

【0010】

【発明が解決しようとする課題】本発明の目的は最大動作電圧を増やす高耐圧用モストランジスタを提供するに

ある。

【0011】本発明の他の目的は前記したモストランジスタの製造においてその適合した製造方法を提供することにある。

【0012】

【課題を解決するための手段】前記の目的を達成するために本発明による高耐圧用モストランジスタは、半導体基板と、前記半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の少なくともいずれか側の半導体基板に低濃度、中濃度及び高濃度不純物層が相互重畳されるように形成された不純物拡散層とを含むことを特徴とする。

【0013】前記側はドレイン側の方が望ましい。

【0014】前記低濃度、中濃度及び高濃度不純物層の側面の接合面は、チャンネル領域から低濃度、中濃度及び高濃度不純物層順に配列されることが望ましく、さらに望ましくは、前記中濃度不純物層の側面の接合面は前記低濃度不純物層の接合面と一致したり、低濃度不純物層の内部に位置し、前記高濃度不純物層の側面の接合面は前記中濃度不純物層の接合面と一致したり、中濃度不純物層の内部に位置する。この際、前記中濃度不純物層の側面の接合面と前記低濃度不純物層の側面の接合面間の間隔は $1.0\mu m$ 以上であり、前記高濃度不純物層の側面の接合面と前記中濃度不純物層の側面の接合面間の間隔は $1.0\mu m$ 以上であることが望ましい。前記高濃度不純物層の下部側の接合面は中濃度又は低濃度不純物層の内部に位置することが望ましく、前記低濃度、中濃度及び高濃度不純物層の下部側の接合面は、半導体基板の表面から高濃度、低濃度及び中濃度不純物層順に配列されることが望ましい。

【0015】また、前記高濃度不純物層の下部側の接合面は、前記中濃度不純物層に含まれることが望ましく、前記低濃度不純物層の下部側の接合面は、前記高濃度不純物層の接合面より浅く形成されることが望ましい。さらに望ましくは、前記低濃度不純物層は、半導体基板上に形成されるコンタクトホールの形成領域の周囲に形成されている。

【0016】前記他の目的を達成するために本発明による高耐圧用モストランジスタの製造方法は、半導体基板上にソース又はドレインとなる領域を露出させる第1感光膜パターンを形成する第1工程と、第1不純物イオンを低濃度に注入して低濃度不純物層を形成する第2工程と、前記第1感光膜パターンを取り除く第3工程と、半導体基板上にソース又はドレインとなる前記領域を部分的に露出させる第2感光膜パターンを形成する第4工程と、第2不純物イオンを中濃度に注入して中濃度不純物層を形成する第5工程と、前記第2感光膜パターンを取り除く第6工程と、結果物の基板上にゲート絶縁膜及びゲート電極を形成する第7工程と、ソース又はドレイン

5

となる領域の半導体基板を部分的に露出させる第3感光膜パターンを半導体基板上に形成する第8工程と、第3不純物イオンを高濃度に注入して高濃度不純物層を形成する第9工程とを含むことを特徴とする。

【0017】前記第2感光膜パターンにおいてソース又はドレインを露出させる部位の大きさは前記第1感光膜パターンのその部位と等しかったり小さく、前記第3感光膜パターンにおいてソース又はドレインを露出させる部位の大きさは前記第2感光膜パターンのその部位と等しかったり小さいことが望ましい。

【0018】さらに望ましくは、前記第2工程は磷イオンを130~180KeVのエネルギー、 $2.0 \times 10^{12} \sim 7.0 \times 10^{12}$ 原子/cm²の濃度に注入して行われ、前記第5工程は磷イオンを160~200KeVのエネルギー、 $3 \times 10^{12} \sim 3 \times 10^{13}$ 原子/cm²の濃度に注入して行われ、前記第9工程は砒素イオンを80KeVのエネルギー、 6×10^{15} 原子/cm²の濃度に注入して行われる。

【0019】また、前記第6工程の以後に、1100℃で30分間ドライブイン工程を追加することができ、前記フィールド酸化膜の形成前フィールド酸化膜の形成される領域の半導体基板に前記半導体基板を構成する不純物と同一型の不純物イオンを注入する工程を追加することもできる。

【0020】

【発明の実施の形態】以下、添付した図面に基づき本発明を詳細に説明する。

【0021】図2は本発明の第1実施例により製造された高耐圧用モストランジスタを示した断面図であって、低濃度、中濃度及び高濃度不純物層が相互重畳されるように形成されたCDD構造のモストランジスタを示す。

【0022】図2において、図面符号40は半導体基板を、42はPウェルを、48はフィールド酸化膜を、50はチャンネルストップ層を、55はN⁻ソース/ドレインを、59はNソース/ドレインを、60はゲート絶縁膜を、62はゲート電極の多結晶シリコンを、64はゲート電極のタングステンシリサイドを、66はN⁺ソース/ドレインを、68はP⁺ガードリングを、70及び72は絶縁膜を、74はソース/ドレイン電極を、そして100はソース/ドレインを示す。

【0023】ソース/ドレイン100は低濃度不純物層55(N⁻)、中濃度不純物層59(Nと表示)及び高濃度不純物層66(N⁺で表示)が相互重畳されたCDD構造で形成されている。中濃度不純物層59の側面の接合面は低濃度不純物層55の接合面と一致したり、低濃度不純物層内に位置し、高濃度不純物層66の側面の接合面は中濃度不純物層59の接合面と一致したり中濃度不純物層内に位置する。

【0024】また、高濃度不純物層66の下部側の接合面は、前記高濃度不純物層66が半導体基板と接合しないように、前記低濃度不純物層55及び/又は中濃度不

6

純物層59内に位置する。中濃度不純物層59と半導体基板とが接合されるように、低濃度不純物層55の下部側の接合面は前記中濃度不純物層59内に位置したり、前記中濃度不純物層の下部側の境界面と一致することが望ましい。この際、前記低濃度不純物層55と半導体基板とが接合されるように、前記低濃度不純物層55の下部側の接合面が中濃度不純物層59の下部側の接合面より深く形成することもできる。

【0025】各不純物層はそれぞれのイオン注入工程により形成され、前記低濃度不純物層55は磷イオン(P^{h+})を150KeVのエネルギー、 5×10^{12} 原子/cm²の濃度に半導体基板に注入することにより形成され、前記中濃度不純物層59は磷イオン(P^{h+})を180KeVのエネルギー、 3×10^{13} 原子/cm²の濃度に半導体基板に注入することにより形成され、前記高濃度不純物層66は砒素(As)イオンを80KeVのエネルギー、 6×10^{15} 原子/cm²の濃度に半導体基板に注入することにより形成される。

【0026】チャンネル阻止のためのガードリング68が前記CDD構造のモストランジスタを取り囲む形態に形成されている。前記ガードリング68は二弗化硼素イオン(BF₂⁺)を60keVのエネルギー、 6×10^{15} 原子/cm²の濃度に半導体基板に注入することにより形成される。

【0027】ゲート電極62、64は多結晶シリコンとタングステンシリサイド(WSix)を積層した構造で形成されており、その下部にはゲート絶縁膜60が形成されている。ソース/ドレイン電極74は絶縁膜を貫通してCDD構造55、59、66のソース/ドレイン100と接続されている。

【0028】前記図2はソース/ドレイン100両方がCDD構造より形成されたMOSトランジスタを示している。しかしながら、ドレインのみが前記CDD構造で形成されても、本発明の追求する高動作電圧効果は同一である。

【0029】図3は前記図2のモストランジスタを製造に使用されるマスクパターンを示したレイアウト図であり、図面符号P1はPウェル、P2はフィールド酸化膜、P3はN⁻(低濃度)不純物層、P4はN(中濃度)不純物層、P5はN⁺(高濃度)不純物層、P6はゲート電極、P7はガードリング形成のためのマスクパターンを示す。

【0030】前記図3で分るように、本発明の第1実施例によるモストランジスタのCDD構造を形成するためのレイアウト図においては、マスクパターンP5はマスクパターンP4内に含まれ、マスクパターンP4はマスクパターンP3内に含まれるようにレイアウトされることが望ましい。

【0031】図4Aないし図6Gは前記図2のモストランジスタの製造過程を工程別に示した断面図であり、前

7

記図3のレイアウト図を参照して本発明の第1実施例を説明する。

【0032】まず、図4Aはフィールド酸化膜48とチャネルストップ層50を形成する工程を示したものであり、この工程は、抵抗が約 $18\Omega\text{cm}$ であるP型半導体基板40上に、例えば約 380\AA 程厚さのパッド酸化膜44を成長させる第1工程、前記マスクパターンP1を利用して半導体基板上にPウェルの形成のための感光膜パターン（図示せず）を形成した後、ボロン（B）イオンを 100KeV のエネルギー、 $1.0\text{E}12\text{原子}/\text{cm}^2$ の注入量として前記半導体基板に注入し、これを 1150°C で13時間ドライブインすることによりPウェル42を形成する第2工程、結果物基板上に、例えば約 1000\AA 厚さの窒化膜を形成した後、前記マスクパターンP2を利用した写真食刻工程を行って窒化膜パターン46を形成する第3工程、フィールドトランジスタのスレショルド電圧を高め、フィールド酸化膜の下部に流れる漏洩電流を遮断するために、ボロンイオンを 30keV のエネルギー、 $5.0\text{E}13\text{原子}/\text{cm}^2$ の注入量として半導体基板に注入することによりチャネルストップ層50を形成する第4工程及び前記窒化膜パターン46間の領域を通常の酸化工程で酸化することにより、半導体基板を活性領域及び非活性領域に限定するフィールド酸化膜48を形成する第5工程で行われる。

【0033】図4Bは低濃度不純物層（図示せず）を形成するためのイオン注入工程を示したものであり、この工程は、燐酸溶液で前記窒化膜パターン（図4Aの図面符号46）を取り除く第1工程、前記マスクパターンP3を利用した写真工程を行って、半導体基板上に低濃度不純物層を形成するための感光膜パターン52を形成する第2工程及び燐イオンを $130\sim 200\text{KeV}$ のエネルギー、 $2.0\text{E}12\sim 7.0\text{E}12\text{原子}/\text{cm}^2$ の注入量として半導体基板に注入して低濃度不純物層を形成するための第1イオン注入層54を形成する第3工程で行われる。

【0034】この際、前記感光膜パターン52はトランジスタのソース／ドレインとなる領域を露出させる形態である。

【0035】図5Cは中濃度不純物層（図示せず）を形成するためのイオン注入工程を示したものであり、この工程は、前記感光膜パターン（図4Bの図面符号52）を取り除く第1工程、前記マスクパターンP4を利用した写真食刻工程を行って、半導体基板上に中濃度不純物層を形成するための感光膜パターン56を形成する第2工程及び燐イオンを $160\sim 200\text{keV}$ のエネルギー、 $3\text{E}12\sim 3\text{E}13\text{原子}/\text{cm}^2$ の注入量として半導体基板に注入して中濃度不純物層を形成するための第2イオン注入層58を形成する第3工程で行われる。

【0036】この際、前記感光膜パターン56はトランジスタのソース／ドレインとなる領域を露出させる形態

8

であり、この露出領域の大きさは前記感光膜パターン52の露出大きさより小さい。感光膜パターン52と感光膜パターン56間の間隔は動作電圧に依存し、 $1.0\mu\text{m}$ 以上であることが望ましい。

【0037】図5Dはゲート電極62、64を形成する工程を示したものであり、この工程は、前記感光膜パターン（図5Cの図面符号56）を取り除く第1工程と、約 1100°C の温度で約30分間ドライブイン工程を行って前記第1及び第2イオン注入層（図5Cの図面符号54及び58）を拡散させることにより、低濃度不純物層55及び中濃度不純物層59を完成する第2工程と、前記パッド酸化膜（図5Cの図面符号44）を取り除く第3工程と、例えば、約 1100\AA 程厚さの酸化膜を成長させてゲート絶縁膜60を形成する第4工程及び約 2500\AA 程厚さのタングステンシリサイド（ WSi_x ）を積層した後、前記マスクパターンP6を利用した写真食刻工程を行うことによりゲート電極62及び64を形成する第5工程で行われる。

【0038】この際、中濃度不純物層59の側面の接合面は、前記低濃度不純物層55のチャネル領域側の接合面と一致したり、前記低濃度不純物層55内に含まれるように位置すべきである。そして、低濃度不純物層55の下部側の接合面は前記中濃度不純物層59の下部側の接合面と一致したり、前記中濃度不純物層59内に含まれるように位置することが望ましい。

【0039】図5Eは高濃度不純物層66を形成する工程を示したものであり、この工程は、結果物上に前記マスクパターンP5を利用した写真工程を行って高濃度不純物層66の形成のための感光膜パターン67を形成する第1工程と、例えば、砒素イオンを 80keV のエネルギー、 $6\text{E}15\text{原子}/\text{cm}^2$ の注入量として半導体基板に注入することにより高濃度不純物層66を形成する第2工程で行われる。

【0040】この際、前記高濃度不純物層66の側面の接合面は、前記中濃度不純物層59の接合面と一致したり前記中濃度不純物層59内に含まれるように位置すべきであり、前記高濃度不純物層66の下部側の接合面は、前記高濃度不純物層66と半導体基板とが接合されないように前記中濃度不純物層59又は低濃度不純物層55内に含まれるように位置すべきである。

【0041】図6Fはガードリング68及び第1及び第2絶縁膜70、72を形成する工程を示したものであり、この工程は、前記感光膜パターン（図5Eの図面符号67）を取り除く第1工程と、結果物の基板上に前記マスクパターンP7を利用した写真工程を行ってガードリング形成のための感光膜パターン（図示せず）を形成する第2工程と、例えば、二弗化砒素イオンを 60keV のエネルギー、 $6\text{E}15\text{原子}/\text{cm}^2$ の注入量として半導体基板に注入することにより、前記ガードリング68を形成する第3工程、ガードリングを形成するための感

光膜パターンを取り除く第4工程及び結果物の全面に、例えば高温酸化膜 (HTO) と BPSG (Borophosphorus Silicate Glass) をそれぞれ積層することにより第1及び第2絶縁膜70、72を形成する第5工程で行われる。

【0042】図6Gはソース/ドレイン電極74を形成する工程を示したものであって、この工程は、前記マスクパターンP8を利用した写真工程を行って前記第2絶縁膜72上にコンタクトホール形成のための感光膜パターン (図示せず) を形成する第1工程、湿式工程方法で前記第1及び第2絶縁膜70、72厚さの一部を取り除いた後、乾式食刻で半導体基板が露出されるまでに前記第1及び第2絶縁膜70、72を食刻することによりソース/ドレインを露出させるコンタクトホールを形成する第2工程及び結果物の全面に、例えば1%のシリコンと0.5%の銅の含まれたアルミニウムを約1 μ m厚さに積層したのち、写真食刻工程を経て前記ソース/ドレイン電極74を形成する第3工程で行われる。

【0043】図7は本発明の第2実施例により製造された高耐圧用モストランジスタを示した断面図であって、低濃度、中濃度及び高濃度不純物層55、59、66の下部側の接合面が半導体基板の表面から低濃度55、高濃度66及び中濃度59不純物層順に配列された場合である。この際、前記低濃度、中濃度及び高濃度不純物層55、59、66の側面の接合面は、チャネル領域から低濃度、高濃度及び中濃度不純物層55、66、59順に配列される。

【0044】図8及び図9は本発明の第3及び第4実施例により製造された高耐圧用モストランジスタを示した断面図であって、トランジスタのソース及びドレイン1

00にソース電極及びドレイン電極をそれぞれ接続するためのコンタクトホールの形成される領域の周囲に前記低濃度不純物層55が形成されている場合である。この際、前記図9において、図面符号80は酸化膜を示す。

【0045】

【発明の効果】したがって、本発明による高耐圧用モストランジスタ及びその製造方法によれば、高動作電圧を有するトランジスタを得ることができる。

【0046】本発明は前記実施例に限らず、多くの変形が本発明の属する技術的思想内の当分野で通常の知識を持つ者により可能なことは明白である。

【図面の簡単な説明】

【図1】従来の方法により製造された高耐圧用モストランジスタを示した断面図である。

【図2】本発明の第1実施例により製造された高耐圧用モストランジスタを示した断面図である。

【図3】図2のモストランジスタを製造するに使用されるマスクパターンを示したレイアウト図である。

【図4】(A)及び(B)は図2のモストランジスタの製造過程を工程別に示した断面図である。

【図5】(C)乃至(D)は図2のモストランジスタの製造過程を工程別に示した断面図である。

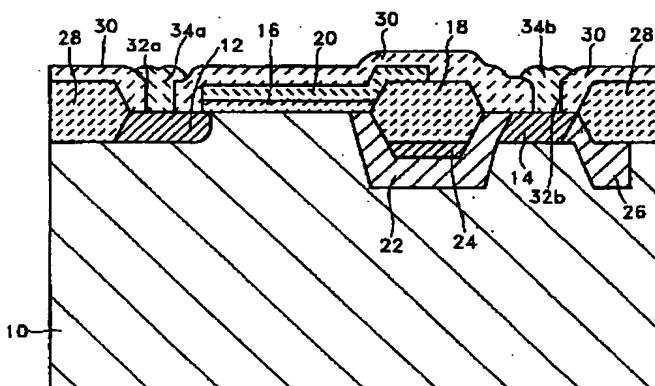
【図6】(E)及び(F)は図2のモストランジスタの製造過程を工程別に示した断面図である。

【図7】本発明の第2実施例により製造された高耐圧用モストランジスタを示した断面図である。

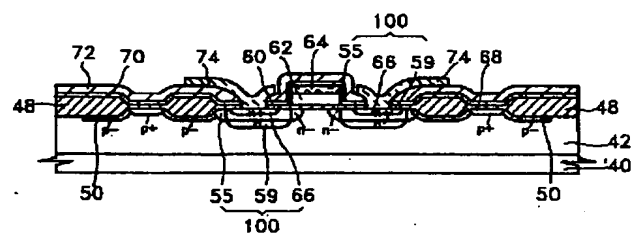
【図8】本発明の第3実施例により製造された高耐圧用モストランジスタを示した断面図である。

【図9】本発明の第4実施例により製造された高耐圧用モストランジスタを示した断面図である。

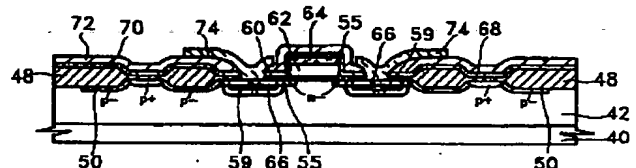
【図1】



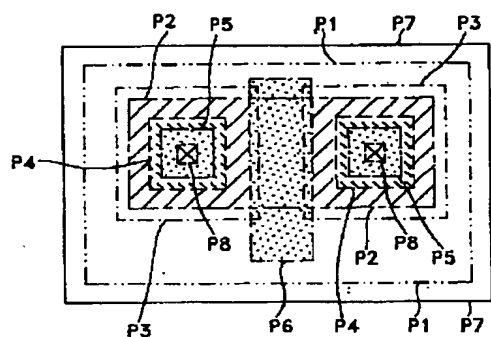
【図2】



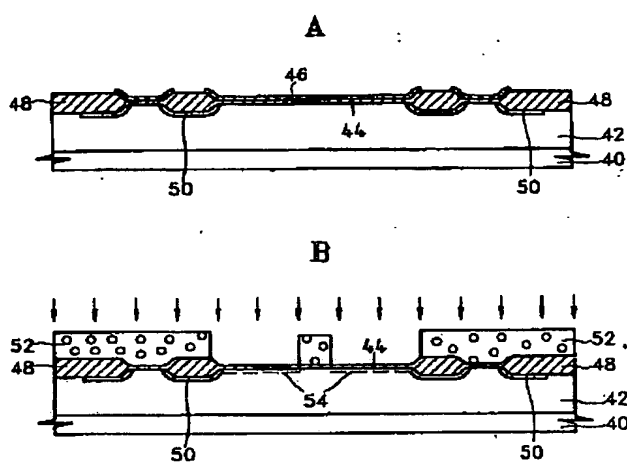
【図7】



【図 3】

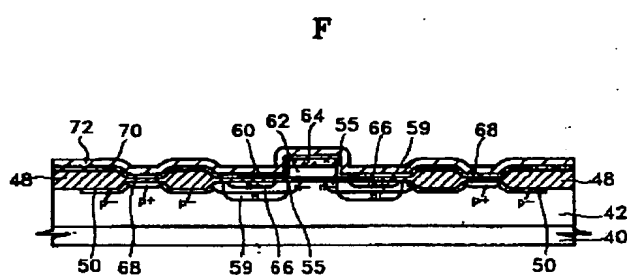
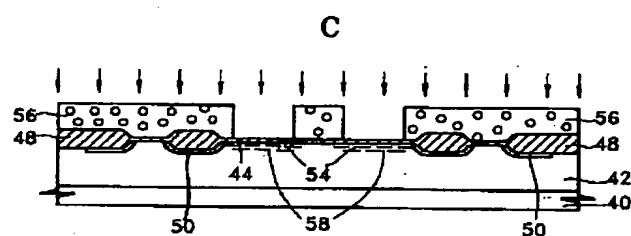


【図 4】



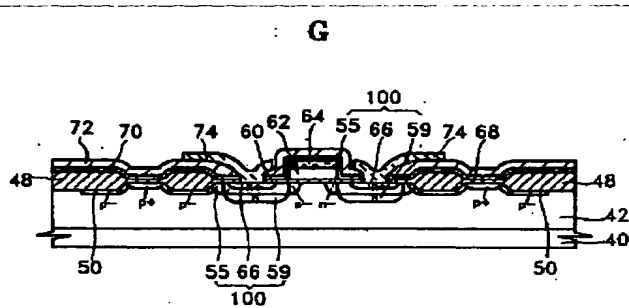
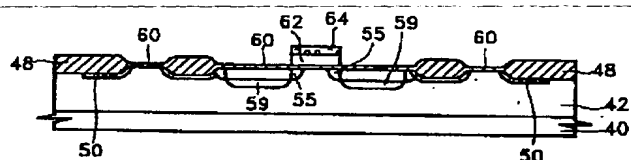
【図 5】

【図 6】

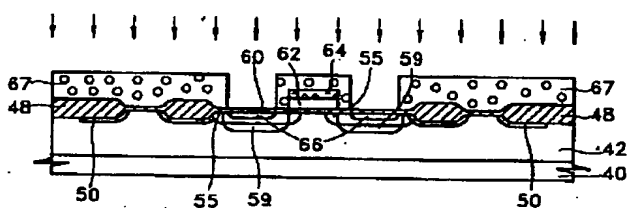


D

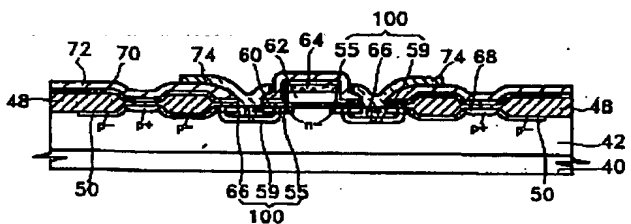
G



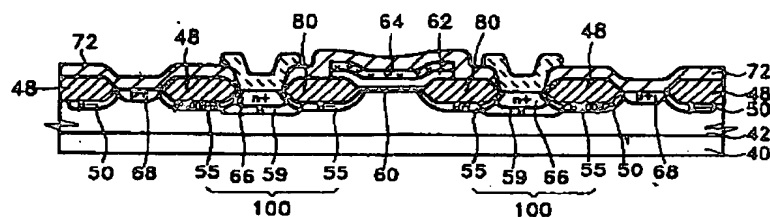
E



【図 8】



【図9】



【手続補正書】

【提出日】平成7年12月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】従来の方法により製造された高耐圧用モストランジスタを示した断面図である。

【図2】本発明の第1実施例により製造された高耐圧用モストランジスタを示した断面図である。

【図3】図2のモストランジスタを製造するために使用されるマスクパターンを示したレイアウト図である。

【図4】(A)及び(B)は図2のモストランジスタの製造過程を工程別に示した断面図である。

【図5】(C)乃至(E)は図2のモストランジスタの製造過程を工程別に示した断面図である。

【図6】(F)及び(G)は図2のモストランジスタの製造過程を工程別に示した断面図である。

【図7】本発明の第2実施例により製造された高耐圧用モストランジスタを示した断面図である。

【図8】本発明の第3実施例により製造された高耐圧用モストランジスタを示した断面図である。

【図9】本発明の第4実施例により製造された高耐圧用モストランジスタを示した断面図である。